

**THIN FILM TRANSISTOR**

Patent Number: JP61147574  
Publication date: 1986-07-05  
Inventor(s): IMASHIRO NOBUHIKO; others: 01  
Applicant(s):: ASAHI GLASS CO LTD  
Requested Patent: JP61147574  
Application Number: JP19840268588 19841221  
Priority Number(s):  
IPC Classification: H01L29/78 ; H01L21/28 ; H01L27/12  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:**To reduce the time elapsing deterioration by a method wherein a gate insulating film and an interelectrode insulating film of thin film transistor arranged with each other conforming to coplanar structure are formed on an insulating substrate by means of anode oxidizing process.

**CONSTITUTION:**A passivation film 2 and a semiconductor layer 1 for etching the layer 3 only into specified shape. Next a metallic layer serving as a power supplying wire, a source electrode 4 and a drain electrode 5 is patterned. Then an oxide film 6 with arbitrary thickness is formed by immersing the metallic layer in electrolyte for anode oxidation. Later a coplanar type thin film transistor for various thin type display may be produced by means of forming an anode oxide insulating film 7, an interelectrode insulating film 8 and a gate electrode 9.

---

Data supplied from the esp@cenet database - I2

AL P1654a



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 昭61-147574

⑫ Int. Cl.  
H 01 L

特許記号

庁内整理番号

⑬ 公開 昭和61年(1986)7月5日

8422-5F  
7638-5F  
7514-5F

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 薄膜トランジスタ

⑮ 特 願 昭59-268588

⑯ 出 願 昭59(1984)12月21日

⑰ 発 明 者 今 城 信 彦 横浜市港南区東永谷3-21-19

⑱ 発 明 者 松 廣 寛 治 厚木市毛利台3-28-13

⑲ 出 願 人 旭 硝 子 株 式 会 社 東京都千代田区丸の内2丁目1番2号

⑳ 代 理 人 弁 理 士 内 田 明 外1名

1 発明の名称

薄膜トランジスタ

2 特許請求の範囲

- (1) 絶縁性基板上にコーブレナ構造に従つて、ソース電極、ドレイン電極、ゲート電極を配設した薄膜トランジスタにおいて、該トランジスタのゲート絶縁膜及び電極間絶縁膜を陽極酸化法によつて形成したことを特徴とする薄膜トランジスタ。
- (2) 前記薄膜トランジスタの半導体層がシリコンで、形成されていることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。
- (3) 各薄膜トランジスタの半導体層上に金属により給電線を配し、それによつて任意の形状にパターンニングされ、絶縁性基板上の任意の位置にある半導体層に対して陽極酸化を行うことを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。
- (4) 前記給電線をそのまゝ各トランジスタのソ

ース電極及びドレイン電極として使用することとを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

- (5) 前記ゲート絶縁膜形成のための陽極酸化の際に、同時に給電線上にも絶縁膜を形成し、これをもつて電極間絶縁膜とすることとを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

3 発明の詳細な説明

(産業上の利用分野)

本発明は各種薄形ディスプレイにスイッチング素子として用いられるコーブレナ型の薄膜トランジスタに関するものである。

(従来の技術)

最近、0.5μm微細構造やポータブルテレビ等への要求から薄形ディスプレイ開発がさかんに行われている。その中でも、大容量グラフィック表示に対応するために、行列状に電極を配設した情報表示装置において、前記電極交点部分に駆動素子を配して駆動を行うアクティブマトリ

トラス方式が研究されている。図2図に能動素子として薄膜トランジスタ(以下TFTと略す)を用いた液晶パネル形ディスプレイの概念図を示す。(21)が液晶層であり、(22)が前記液晶層を駆動するためのスイッチングトランジスタである。(23)は、液晶を駆動するために必要な電圧を印加するためのデータ線であり、(24)はトランジスタ(22)のゲートを制御する選択信号線である。(25)及び(26)は透明電極である。

図3図に従来より知られているコーブレナ構造を有するTFTの断面図を示す。図中(1)は石英、ガラス等の透明絶縁性基板であり、この上にTFTが形成される。(2)は不純物拡散を防止するパッシベーション膜である。(3)はアモルファスシリコン(a-Si)、ポリシリコン(p-Si)、マイクロクリスタリンシリコン( $\mu$ c-Si)等からなる半導体である。(4)、(5)は、それぞれソース、ドレイン電極でAl等の金属で配線される。(6)はゲート絶

縁膜であり、CVD法等の堆積法により、アモルファス窒化シリコン等で形成される。(7)はゲート電極であり、前記ソース、ドレイン電極と同様にAl等で形成される。(10)は保護膜であり省略される場合もある。このようなTFTにおいては、(6)のポジションにより形成したゲート絶縁膜(8)をそのまま電極間絶縁膜として使っていた。

〔発明の解決しようとする問題点〕

図3図に示したようなTFTにおいては、a-Si等を半導体層とする場合には、a-Si膜の特性上、VLSIのプロセスで用いられているような高温での酸化による安定なSiO<sub>2</sub>の形成が不可能であるので、CVD法等の堆積法によりゲート絶縁膜を形成したが、絶縁膜形成時に半導体表面にプラズマによるダメージが入ること及び半導体層表面が大気さらされて、汚染されることで、形成された絶縁膜/半導体界面が不安定になりTFTの電流-電圧特性の経時劣化の主たる原因となっていた。

またp-Si等を半導体層として用いる場合には、高温酸化によるSiO<sub>2</sub>の形成が可能であるが、工程数が増えTFTの製造コストを増加させるという欠点を有していた。

さらに図3図に示すような構造を有するTFTの場合には、ゲート電極配線後、絶縁膜の厚さが電極間絶縁膜として厚いために、ソース-ゲート及びドレイン-ゲート間の短絡が発生しやすいという欠点を有していた。

〔問題点を解決するための手段〕

本発明は、前述の問題点を解決すべくなされたものであり、絶縁性基板上に、コーブレナ構造に従ってソース電極、ドレイン電極、ゲート電極を配線した薄膜トランジスタにおいて、該トランジスタのゲート絶縁膜及び電極間絶縁膜を陽極酸化法によつて形成したことを特徴とするTFTであり、特にTFTの電気的特性に寄与するチャネル部分の物理的性質を安定させ、TFT特性の経時劣化を少なくすることを可能にする。また陽極酸化を行う際の給電線に用い

たAl等の金属をそのままTFTのソース、ドレイン電極とすることで、従来のプロセスを大きく変えることなく、新プロセスへ移行が可能である。また熱酸化SiO<sub>2</sub>/p-Si系については従来のものに比べ、工程数を減らし製造コストを低減させることが可能である。さらにゲート絶縁膜形成時に同時にソース、ドレイン電極上に絶縁膜が形成できるので各電極間の短絡を防止することが可能である。

以下図面を参照しつつ説明する。

図1図は、本発明のTFTの代表的構造を示す断面図であり、(1)はガラス、石英等の絶縁性基板、(2)は酸化シリコン、窒化シリコン等のパッシベーション膜、(3)はa-Si、p-Si、 $\mu$ c-Siからなる半導体層、(4)はAl等のソース電極、(5)はAl等のドレイン電極、(6)は陽極酸化によつて形成された酸化シリコン膜、(7)は陽極酸化によつて形成されたアルミナ等の絶縁膜、(8)はアモルファス窒化シリコン、アモルファス窒化シリコ

ン等の電極間絶縁膜で陽極酸化によつて成膜の陽極酸化が進行しなかつた場合等にも適用される。

第4図は、その製造工程を説明するための断面図である。絶縁性基板(1)上にパッシベーション膜(2)、半導体層(3)を逐層的に成膜し半導体層のみを必要形状にエッチングする。その後給電線と、ソース電極(4)及びドレイン電極をかねる金属層をパターンニングする。この後に第5図に示すように、エラスナイフコネクタ(5)等を用いてソース電極を共通に接続し、電解液中に浸して陽極酸化を行い、任意の厚さの酸化膜を形成する。もつとも、ソース電極を短絡するパターンを成切に形成しておき、この工程で酸化膜形成後、切断除去して短絡をなくしてもよい。

陽極酸化に用いる電解液としては、 $\alpha$ -メチルアセトアミド、無水エタレングリコール等の誘電率の大きい溶媒が用いられる。 $\alpha$ -メチルアセトアミドの場合には、0.04Mの $\text{KNO}_3$ 及

び体積濃度で25%の純水を加えた溶液が用いられる。この溶液を形成した酸槽では、pH 2.6~3.0程度の弱アルカリ性を示す。また、無水エタレングリコールの場合にも0.04Mの $\text{KNO}_3$ が添加されている程度が内いられることが望ましい。また、 $\alpha$ -S1は $\gamma$ 型であることから、陽極酸化において、酸化剤/ $\alpha$ -S1界面に正孔が供給されることが不可欠であるので、陽極酸化をスムーズに進行させるために光を照射することが望ましい。形成する絶縁膜の厚みは、陽極酸化膜のみを用いる場合には1500Å以上とすればよい。厚い方は厚さ調整されないが、生産性が悪くなるために通常4880Å以下程度にされればよい。また生産性を優先させた場合にはゲート絶縁膜として、 $p$ -CVD法等の堆積法による $\text{SiO}_2$ /陽極酸化 $\text{SiO}_2$ という2層構造を取ることも可能であり、この場合には500Å~1000Åを陽極酸化 $\text{SiO}_2$ とし残りを堆積法による $\text{SiO}_2$ として膜厚を前記の1300~4000Åの範囲にすることが望ま

しい。

さらに電極として用いる金属によつては、 $\alpha$ -メチルアセトアミド等の電解液では、陽極酸化によつて絶縁膜を金属上に形成できない場合もある。そのような場合には、前記の2層構造を取るようにすればよい。

本発明によるTFTは、上記の代表例に限定されず、必要に応じて金属等の透光層を形成したり、半導体層に下にもう一つのゲート電極を形成したダブルゲート構造としたりしてもよく、さらに液晶配向膜を形成してもよく、公知のアタライマトリクス用基板の構造を種々採用しうる。

#### 〔作用〕

本発明のゲート絶縁膜形成法によれば、第3図のような例と比較すると、プロセス的にはあまり大きく変えることなく、プラズマによるダメージやチャネル部分の汚染をなくすることが可能になり、TFTの電流-電圧特性の経時劣化を大幅に減少せられる。これにより従来問題

とされてきたTFTの信頼性を大幅に向上させることが可能になる。さらにソース、ドレイン電極上にも絶縁膜を同時に形成することで、電極間での短絡を防止できることから、不良品の発生率を低減することが可能になるというメリットを有する。

#### 〔実施例〕

以下に本発明によるゲート絶縁膜形成法を用いたTFTの実施例を示す。

TFTの構造は前出の第1図に示したものと同一である。ガラスによる絶縁性基板(1)上に、プラズマCVD法による2800Åの酸化シリコンによるパッシベーション膜(2)及び3000Åの純粋アモルファスシリコンによる半導体層(3)を逐層的に成膜した。パッシベーション膜(2)は、絶縁層に用いるものと同様、シランガスと英気ガスの混合ガスによつて、また、純粋アモルファスシリコンによる半導体層(3)は、100%シランガスによつて形成した。この後上記アモルファスシリコン層

を過熱的にエッチングし、その上にAlを4000Å蒸着し、パターニングすることで、鉛直性をかゝるソース電極(4)、ドレイン電極(5)を形成した。その後、ソース電極を鉛直側として使い、電解液として無水エタレンジリコールを用いて陽極酸化を行い、半導体層内に、1000ÅのSiO<sub>2</sub>膜(6)を、また、Al電極上にAl<sub>2</sub>O<sub>3</sub>膜(7)を同時に形成した。その後、電極間絶縁膜(8)として、プラズマCVD法により1000Åのアモルファス窒化シリコン膜を形成した。この際の原料ガスは、シランガスと笑気ガスの混合ガスである。最後にゲート電極(9)としてAlを4000Å蒸着して形成した。

以上のような手法を用いて800μmピッチ50本×50本のマトリクスパネルを8枚製作し、従来の製造方法によるものと比較した。トランジスタの電流-電圧特性の測定結果からは、on電流の立ち上がりも急峻で、電流値の閾値領域に入るのも早く、on/off比も4桁

程度のもので得られ、従来のものに比べて、若干特性の改善が見られた。また経時劣化については80℃、10<sup>5</sup>秒BT処理を行ったが、特性の劣化が従来のものと比べ、50%以上改善された。

また同時に行つた信頼性検査の結果からは、電極間の短絡は、0~2ヶ所/枚であつた。これに対して従来の物では10ヶ所のような構造の場合、絶縁不良に伴うソース-ゲート、ソース-ドレイン短絡が10~20ヶ所/枚程度あつた。  
〔発明の効果〕

以上のように本発明では、ゲート絶縁膜を陽極酸化法により形成することで、TFT特性の経時劣化を大幅に減少させることが可能になる。また同時に、ソース、ドレイン電極上に、Al酸化物による絶縁層を形成できることから、ソース-ゲート、ドレイン-ゲート短絡をほぼ完全に防止でき、製品の不良品率を低減することが可能になるばかりでなく、再現性よく形成する方法を提供するものである。

## 5 ドレイン電極

### 5.1 エラスティックコネクタ

アクティブマトリクスパネルは従来のポラブルコンピュータや平面テレビに應用されているドットマトリクスタイプのパネルに比べ、製造コスト、信頼性の点が優点となつているが本発明はアクティブマトリクスパネルの実用化に大きく貢献するものである。

#### 4. 図面の簡単な説明

第1図は、本発明のTFTの代表的例を示す断面図。

第2図は、アクティブマトリクスパネルの代表的例の概念図。

第3図は、従来のTFTの例を示す断面図。

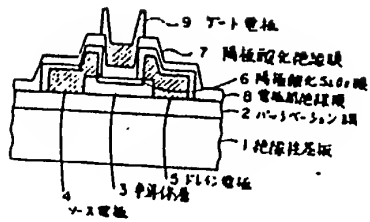
第4図は、本発明のTFTの製造工程を示す断面図。

第5図は、本発明のTFTの製造工程のうち陽極酸化のプロセスを示す断面図。

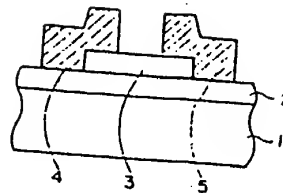
- 1 絶縁性基膜
- 2 パッシベーション膜
- 3 半導体層
- 4 ソース電極(鉛電極)

代理人 内 田 明  
代理人 萩 原 亮 一

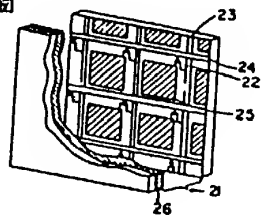
第 1 図



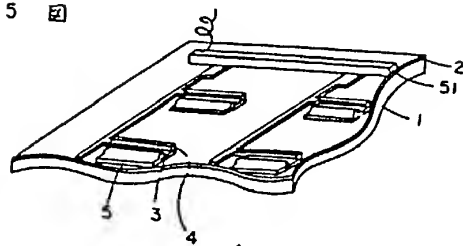
第 4 図



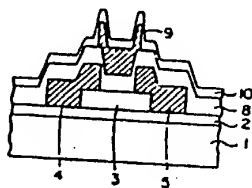
第 2 図



第 5 図



第 3 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**